DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

011212165 **Image available**
WPI Acc No: 1997-190090/ **199717**
XRPX Acc No: N97-157095

Electron source structure used in display device for image forming appts - includes connection electrodes which are provided at opening of insulating film along direction of wiring trains and connect respective electrode elements to wiring trains

Patent Assignee: CANON KK (CANO)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 9050757	A	19970218	JP 95200690	A	19950807	199717	B

Priority Applications (No Type Date): JP 95200690 A 19950807
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9050757	A		12	H01J-001/30	

Abstract (Basic): JP 9050757 A

The structure includes a set of wiring trains (35) which intersects perpendicularly with multiple wiring lines (36), formed on a substrate (1) through an insulating film (50). Near each intersection part of the wiring train and the wiring line, an electron emitting element which consists a pair of electrode elements (5,6) and an electrode emission part (4), is arranged.

One side of each first electrode is connected to the wiring line and each second electrode element is connected to the wiring train. A set of connection electrodes (51) which are connected to each second electrode element respectively provided at the openings of the insulating film, along the direction of the wiring train.

ADVANTAGE - Reduces dispersion in brightness due to voltage drop. Prevents poor connection of electrode element and wiring train, thus improving reliability of electrode element and wiring connection part, and yield.

Dwg.1/10

Title Terms: ELECTRON; SOURCE; STRUCTURE; DISPLAY; DEVICE; IMAGE; FORMING; APPARATUS; CONNECT; ELECTRODE; OPEN; INSULATE; FILM; DIRECTION; WIRE; TRAIN; CONNECT; RESPECTIVE; ELECTRODE; ELEMENT; WIRE; TRAIN
Derwent Class: V05; X26
International Patent Class (Main): H01J-001/30
International Patent Class (Additional): H01J-009/02; H01J-031/12
File Segment: EPI
Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-L01A3

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

011212165 **Image available**
WPI Acc No: 1997-190090/ **199717**
XRPX Acc No: N97-157095

Electron source structure used in display device for image forming appts - includes connection electrodes which are provided at opening of insulating film along direction of wiring trains and connect respective electrode elements to wiring trains

Patent Assignee: CANON KK (CANO)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 9050757	A	19970218	JP 95200690	A	19950807	199717	B

Priority Applications (No Type Date): JP 95200690 A 19950807
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9050757	A		12	H01J-001/30	

Abstract (Basic): JP 9050757 A

The structure includes a set of wiring trains (35) which intersects perpendicularly with multiple wiring lines (36), formed on a substrate (1) through an insulating film (50). Near each intersection part of the wiring train and the wiring line, an electron emitting element which consists a pair of electrode elements (5,6) and an electrode emission part (4), is arranged.

One side of each first electrode is connected to the wiring line and each second electrode element is connected to the wiring train. A set of connection electrodes (51) which are connected to each second electrode element respectively provided at the openings of the insulating film, along the direction of the wiring train.

ADVANTAGE - Reduces dispersion in brightness due to voltage drop. Prevents poor connection of electrode element and wiring train, thus improving reliability of electrode element and wiring connection part, and yield.

Dwg.1/10

Title Terms: ELECTRON; SOURCE; STRUCTURE; DISPLAY; DEVICE; IMAGE; FORMING; APPARATUS; CONNECT; ELECTRODE; OPEN; INSULATE; FILM; DIRECTION; WIRE; TRAIN; CONNECT; RESPECTIVE; ELECTRODE; ELEMENT; WIRE; TRAIN
Derwent Class: V05; X26
International Patent Class (Main): H01J-001/30
International Patent Class (Additional): H01J-009/02; H01J-031/12
File Segment: EPI
Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-L01A3

THIS PAGE BLANK (USPTO)

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－50757

(43)公開日　平成９年(1997)２月18日

(51)Int.Cl.[6]		識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｊ	1/30			Ｈ０１Ｊ	1/30	Ｂ
	9/02				9/02	Ｂ
	31/12				31/12	Ｃ

審査請求　未請求　請求項の数13　ＯＬ　（全 12 頁）

(21)出願番号　特願平7－200690

(22)出願日　平成７年(1995)８月７日

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目30番２号

(72)発明者　高松　修
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

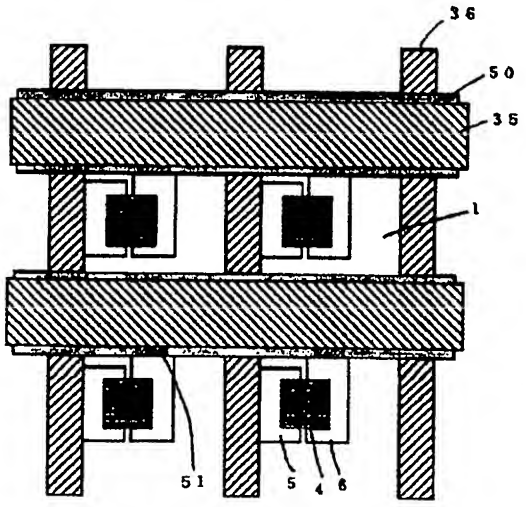
(74)代理人　弁理士　若林　忠

(54)【発明の名称】　電子源基板および画像形成装置ならびにそれらの製造方法

(57)【要約】

【課題】　電子源基板形成において、配線形成時の素子電極との短絡を低減して電気的接続部分の信頼性向上を実現し、その電子源基板を用いる画像形成装置において、より高密度な画素配列による高品位な画像を得られるようにする。

【解決手段】　単純マトリクス型の電子源基板を作製する際に、行方向配線に直交して設けられた絶縁膜の開口部に素子電極と接続する接続電極を設け、その絶縁膜の上に列方向配線を形成して、前記接続電極を介して列方向配線と素子電極の接続を行うようにする。



【特許請求の範囲】
【請求項１】　基板上に、絶縁膜を介して行方向配線の上に該配線に直交する列方向配線が形成され、該両配線の交差部近傍に、一対の素子電極を含む電子放出素子複数個が配設され、該素子電極対の一方の電極が行方向配線と、他方の電極が列方向配線と接続されている電子源基板において、列方向配線が絶縁膜の凹部を介して素子電極に設けられた接続電極と接続されていることを特徴とする電子源基板。
【請求項２】　前記電子放出素子が、表面伝導型電子放出素子である請求項１記載の電子源基板。
【請求項３】　前記接続電極が、行方向配線と同一の材料によって同時に形成されたものである請求項１または２記載の電子源基板。
【請求項４】　前記列方向配線が、ストライプ状の配線である請求項１ないし３のいずれかに記載の電子源基板。
【請求項５】　行方向配線、列方向配線、絶縁膜および接続電極のうちの少なくとも１つが、スクリーン印刷法によって形成されたものである請求項１ないし４のいずれかに記載の電子源基板。
【請求項６】　請求項１ないし５のいずれかに記載の電子源基板と、画像が形成される領域を備えた基板とが支持枠を介して対向し、両基板の間の空間が減圧状態となっていて、前記電子源基板に画像形成用の駆動回路が接続されている画像形成装置。
【請求項７】１）基板上に複数の素子電極対を形成する工程、
２）前記素子電極対近傍を通る複数の行方向配線を形成する工程、
３）前記素子電極対の一方の電極と前記行方向配線とを接続する工程、
４）前記行方向配線と接続される素子電極に対向配置された素子電極に接続電極を形成する工程、
５）前記素子電極対の行方向配線に接続される素子電極に対向配置された素子電極上を通り、前記接続電極の形成箇所に凹部を有し、前記行方向配線に直交する帯状絶縁膜を形成する工程、
６）前記絶縁膜上に、該絶縁膜の幅より小さい幅で、前記接続電極に接続する列方向配線を形成する工程、
７）前記素子電極対に基づいて電子放出素子を形成する工程
を含むことを特徴とする電子源基板の製造方法。
【請求項８】　前記電子放出素子を、表面伝導型電子放出素子とする請求項７記載の製造方法。
【請求項９】　行方向配線を一方の素子電極と接続する位置に形成して、前記２）および３）の工程を同時に行う請求項７または８記載の製造方法。
【請求項１０】　前記接続電極と前記行方向配線とを同じ材料で同時に形成する請求項７ないし９のいずれかに記載の製造方法。
【請求項１１】　前記列方向配線を、ストライプ状の配線とする請求項７ないし１０のいずれかに記載の製造方法。
【請求項１２】　行方向配線、列方向配線、絶縁膜および接続電極のうちの少なくとも１つを、スクリーン印刷法によって形成する請求項７ないし１１のいずれかに記載の製造方法。
【請求項１３】　請求項７ないし１２のいずれかに記載の方法で製造された電子源基板と、画像が形成される領域を備えた基板とを支持枠を介して対向させ、両基板の間の空間を減圧し、前記電子源基板に画像形成用の駆動回路を接続する画像形成装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、電子源およびその応用である表示装置等の画像形成装置に関する。
【０００２】
【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の２種類が知られている。冷陰極電子源には電界放出型（以下、ＦＥと称する）、金属／絶縁層／金属型（以下、ＭＩＭと称する）や、表面伝導型電子放出素子等がある。
【０００３】ＦＥ型の例としては、Dykeらの報告（W. P. Dyke and W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956)）に記載のもの、Spindtの報告（C. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenium cones", J. Appl. Phys., 47, 5248(1976)）に記載のもの等が知られている。
【０００４】ＭＩＭ型の例としては、Meadの報告（C. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 32, 646(1961)）に記載のもの等が知られている。
【０００５】表面伝導型電子放出素子の例としては、エリンソンの報告（M. I. Elinson, Radio Eng. Electron Phys., 10(1965)）に記載のもの等がある。
【０００６】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。
【０００７】この表面伝導型電子放出素子としては、前記のエリンソンの報告に記載のSnO_2薄膜を用いたもの、Au薄膜によるもの（G. Dittmer,"Thin Solid Films",9, 317(1972)）、In_2O_3／SnO_2薄膜によるもの（M. Hartwell and C. G. Fonstad,"IEEE Trans. ED Conf.", 519(1975)）、カーボン薄膜によるもの（荒木ら，真空，第２６巻，第１号，２２頁（１９８３））などが報告されている。
【０００８】これらの表面伝導型電子放出素子の典型的な素子構成として前述のハートウェル（Hartwell）の素

子の構成を図5に示す．同図において、1は基板である．2は電子放出部形成用薄膜で、スパッタリングで形成されたH型形状の金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部3が形成される．なお、図中の素子電極間隔L1は、0．5～1．0mm、W'は、0．1mmで設定されている．なお、電子放出部3の位置および形状については不明であるので模式図として表わした．

【0009】従来、これらの表面伝導型電子放出素子においては、電子放出をおこなう前に電子放出部形成用薄膜2に予めフォーミングと呼ばれる通電処理を施して、電子放出部3を形成するのが一般的であった．即ち、通電フォーミングとは、前記電子放出部形成用薄膜2の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V／分程度を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部3を形成することである．なお、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生し、その亀裂付近から電子放出が行われる．以下、フォーミングにより発生した電子放出部を含む電子放出部形成用薄膜を電子放出部を含む薄膜（図中4）と呼ぶ．前記フォーミング処理をした表面伝導型電子放出素子は、上述の電子放出部を含む薄膜4に電圧を印加し、素子表面に電流を流すことにより、上述の電子放出部3より電子を放出せしめるものである．

【0010】さらに、通常はフォーミング工程の終了後に、「活性化」と呼ばれる工程が導入されている．この目的は、フォーミングにより高抵抗化された表面伝導型電子放出素子に一定の電圧を一定時間通電しつづけることによって、電子放出量を増加せしめることである．

【0011】上述の表面伝導型放出素子は構造が単純で製造も容易であることから、それを大面積にわたり多数配列形成できるという利点を有している．そこでこの特徴を生かすべく各種の応用が研究されている．例えば、荷電ビーム源、画像形成装置等の表示装置等への応用があげられる．

【0012】配線、絶縁膜の形成には、スクリーン印刷法が用いられることがある．これは導電性ペーストや絶縁性ペーストをスクリーンを通して直接パターン印刷した後、焼成して電極配線パターンや絶縁膜を形成する方法であり、この印刷法によるパターニングは大面積基板に対応可能であり、1基板当りの処理時間もホトリソ技術に比べて短く、低コストにできる．

【0013】

【発明が解決しようとする課題】しかしながら、以上説明したような表面伝導型電子放出素子を画像形成装置として大面積化するには以下のような問題点がある．

【0014】上記のような印刷法を用いてレジストインクや導電性ペースト、絶縁性ペーストの流動性、転写性等に起因して印刷パターンが変形しやすいことから、パターンの寸法精度が低かった．そのため、特に素子電極上の絶縁膜開口部で、絶縁膜印刷時のペーストのダレにより、列方向配線と素子電極の接触不良を生じ、歩留りが低かった．また、そのために、画像形成装置を作製したときには、接続部の抵抗により電圧降下を生じ、画像として輝度のばらつきを生じていた．

【0015】従って、本発明は上記の課題を解決すべく行われたものであって、その目的とするところは、電子源基板形成において、配線形成時の素子電極との短絡を低減して電気的接続部分の信頼性向上を実現し、その電子源基板を用いる画像形成装置において、より高密度な画素配列による高品位な画像を得られるようにすることにある．

【0016】

【課題を解決するための手段】本発明は、基板上に、絶縁膜を介して行方向配線の上に該配線に直交する列方向配線が形成され、該両配線の交差する位置近傍に、一対の素子電極を含む電子放出素子複数個が配設され、該素子電極対の一方の電極が行方向配線と、他方の電極が列方向配線と接続されている電子源基板において、列方向配線が絶縁膜の凹部を介して素子電極に設けられた接続電極と接続されていることを特徴とする電子源基板、ならびに上記の電子源基板と、画像が形成される領域を備えた基板とが支持枠を介して対向し、両基板の間の空間が減圧状態となっていて、前記電子源基板に画像形成用の駆動回路が接続されている画像形成装置を提供する．

【0017】さらに本発明は、

1）基板上に複数の素子電極対を形成する工程、

2）前記素子電極対近傍を通る複数の行方向配線を形成する工程、

3）前記素子電極対の一方の電極と前記行方向配線とを接続する工程、

4）前記行方向配線と接続される素子電極に対向配置された素子電極に接続電極を形成する工程、

5）前記素子電極対の行方向配線に接続される素子電極に対向配置された素子電極上を通り、前記接続電極の形成箇所に凹部を有し、前記行方向配線に直交する帯状絶縁膜を形成する工程、

6）前記絶縁膜上に、該絶縁膜の幅より小さい幅で、前記接続電極に接続する列方向配線を形成する工程、

7）前記素子電極対に基づいて電子放出素子を形成する工程

を含むことを特徴とする電子源基板の製造方法、ならびに上記の方法で製造された電子源基板と、画像が形成される領域を備えた基板とを支持枠を介して対向させ、両基板の間の空間を減圧し、前記電子源基板に画像形成用の駆動回路を接続する画像形成装置の製造方法を提供する．

【0018】

【発明の実施の形態】以下、図面を参照して本発明を詳

細に説明する。

【0019】本発明に関わる表面伝導型電子放出素子においては、

1）フォーミングと呼ばれる通電処理前の電子放出部形成用薄膜は、微粒子分散体を分散し形成された微粒子からなる薄膜、あるいは有機金属等を加熱焼成し形成された微粒子からなる薄膜等、基本的には、微粒子より構成され、

2）フォーミングと呼ばれる通電処理後の電子放出部を含む薄膜は、電子放出部、電子放出部を含む薄膜とも基本的には微粒子より構成される。

【0020】図5（a）および（b）は、それぞれ、本発明にかかわる基本的な表面伝導型電子放出素子の構成を示す平面図および断面図である。図6を用いて、本発明にかかわる素子の基本的な構成を説明するが、本発明の電子源および画像形成装置では後述するように、この表面伝導型電子放出素子を多数個、同一基体上に配線電極と共に形成しているものである。

【0021】図6において1は絶縁性基板、5と6は素子電極、4は電子放出部を含む薄膜、3は電子放出部である。

【0022】絶縁性基板1としては、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO_2（絶縁体層）を積層したガラス基板等およびアルミナ等のセラミックス等があげられる。

【0023】対向する素子電極5および6の材料としては一般的な導電体が用いられ、例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd、Ag、Ru、Ta、Pb、Zr、Hf、Sb、La等の金属、あるいはこれらの金属の合金、ならびにPd、Ag、Au、RuO_2、Pd－Ag等の金属または金属酸化物とガラス等から構成される印刷導体、In_2O_3－SnO_2等の透明導電体およびポリシリコン等の半導体材料等が挙げられる。

【0024】素子電極間隔L1は、数Å～数百μmであり、素子電極の製法の基本となるフォトリソグラフォイー技術、即ち、露光機の性能とエッチング方法等や、素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、数μm～より数十μmである。素子電極長さW1、素子電極5および6の膜厚dは、電極の抵抗値、後述するX、Y配線との結線、多数配置された電子源の配置上の問題より適宜設計され、通常は、素子電極長さW1は、数μm～数百μmであり、素子電極5および6の膜厚dは、数百Å～数千Åである。

【0025】絶縁性基板1上に設けられた対向する素子電極対5・6間および素子電極対5・6上に設けられた電子放出部を含む薄膜4は、電子放出部3を含むが、図7（b）に示された場合だけでなく、素子電極5および6上には設けられない場合もある。すなわち、絶縁性基板1上に、先述した電子放出部形成用薄膜、対向する素子電極対5・6の順に積層される場合もあり得る。また、製法によっては、対向する素子電極対5・6間の間隔部全体が電子放出部として機能する場合もある。この電子放出部を含む薄膜4の膜厚は、数Å～数千Åであり、素子電極5および6へのステップカバレージ、電子放出部3と素子電極5・6間の抵抗値および電子放出部3の導電性微粒子の粒径、後述する通電処理条件等によって適宜設定される。その抵抗値は、10^3～10^7Ω／□のシート抵抗値を示す。

【0026】電子放出部を含む薄膜4を構成する材料としては、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属；PdO、SnO_2、In_2O_3、PbO、Sb_2O_3等の酸化物；HfB_2、ZrB_2、LaB_6、CeB_6、YB_4、GdB_4等の硼化物；TiC、ZrC、HfC、TaC、SiC、WC等の炭化物；TiN、ZrN、HfN等の窒化物；Si、Ge等の半導体；カーボン等を挙げることができる。

【0027】なお、ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接あるいは重なり合った状態（島状も含む）の膜を指しており、微粒子の粒径は、数Å～数千Å、好ましくは10Å～200Åである。

【0028】電子放出部3は電子放出部を含む薄膜4の一部に形成された高抵抗の亀裂であり、通電フォーミング等により形成される。また、亀裂内には数Å～数百Åの粒径の導電性微粒子を有することもある。この導電性微粒子は電子放出部を含む薄膜4を構成する物質の少なくとも一部の元素を含んでいる。また、電子放出部3およびその近傍の電子放出部を含む薄膜4は炭素または炭素化合物を有することもある。

【0029】電子放出部3を有する電子放出素子の製造方法としては様々な方法が考えられるが、その1例を図7に示す。2は電子放出部形成用薄膜で例えば微粒子膜が挙げられる。

【0030】以下、順を追ってこの素子の製造方法の説明を図6および図7に基づいて説明する。

【0031】1）絶縁性基板1を洗剤、純水および有機溶剤により十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、フォトリソグラフィー技術により、その絶縁性基板1の面上に素子電極5および6を形成する（図7（a））。

【0032】2）絶縁性基板1上に設けられた素子電極5と6の間に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なおここで言う有機金属溶液とは、前記Pd，Ru，Ag，Au，Ti，In，Cu，Cr，Fe，Zn，Sn，Ta，W，Pb等の金

属を構成元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、電子放出部形成用薄膜2を形成する（図7（b））。

【0033】なお、ここでは有機金属の塗布法により説明したが、これに限るものではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等によって形成される場合もある。

【0034】3）続いて、フォーミングと呼ばれる通電処理を行う。通電フォーミングは素子電極5・6間に不図示の電源により通電を行い、電子放出部形成用薄膜2を局所的に破壊、変形もしくは変質せしめ、構造を変化させた部位を形成させるものである。この局所的に構造変化させた部位を電子放出部3と呼ぶ（図7（c））。先に説明したように、電子放出部3は導電性微粒子で構成されていることを本発明者は観察している。

【0035】次に上記フォーミング処理の電圧波形の1例を図8に示す。

【0036】電圧波形は特にパルス形状が好ましく、パルス波高値が一定の電圧パルスを連続的に印加する場合（図8（a））と、パルス波高値を増加させながら電圧パルスを印加する場合（図8（b））とがある。まず、パルス波高値を一定電圧とした場合（図8（a））について説明する。

【0037】図8（a）におけるT1およびT2は電圧波形のパルス幅とパルス間隔であり、T1を1μ秒～10ミリ秒、T2を10μ秒～100ミリ秒とし、三角波の波高値（通電フォーミング時のピーク電圧）は表面伝導型電子放出素子の形態に応じて適宜選択し、適当な真空度、例えば1×10^{-5}Torr程度の真空雰囲気下で、数秒～数十分印加する。なお、素子の電極間に印加する波形は三角波に限定する必要はなく、矩形波など所望の波形を用いてもよい。また、その波高値およびパルス幅・パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成されれば所望の値を選択することができる。

【0038】図8（b）におけるT1およびT2は、図8（a）の場合と同様であり、三角波の波高値（通電フォーミング時のピーク電圧）は、例えば0．1Vステップ程度ずつ増加させ適当な真空雰囲気下で印加する。

【0039】なお、この場合の通電フォーミング処理は、パルス間隔T2中に、電子放出部形成用薄膜2を局所的に破壊・変形しない程度の電圧、例えば0．1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば1MΩ以上の抵抗を示した時に通電フォーミング終了とする。

【0040】次に通電フォーミングが終了した素子に活性化工程と呼ぶ処理を施すことが望ましい。

【0041】活性化工程とは、例えば、10^{-4}～10^{-5}Torr程度の真空度で、通電フォーミング同様、パルス波高値が一定の電圧パルスを繰返し印加する処理のことであり、真空中に存在する有機物質に起因する炭素もしくは炭素化合物を薄膜上に堆積させ素子電流If、放出電流Ieを著しく変化させる処理である。活性化工程は素子電流Ifと放出電流Ieを測定しながら、例えば、放出電流Ieが飽和した時点で終了する。また、印加する電圧パルスは動作駆動電圧で行うことが好ましい。

【0042】なお、ここで炭素もしくは炭素化合物とは、グラファイト（単結晶および多結晶の両方を指す。）、非晶質カーボン（非晶質カーボンおよび多結晶グラファイトの混合物を指す）であり、その膜厚は500Å以下が好ましく、より好ましくは300Å以下である。

【0043】こうして作製した電子放出素子は、通電フォーミング工程、活性化工程における真空度よりも高い真空度の雰囲気下に置いて動作駆動させるのがよい。また、さらに高い真空度の雰囲気下で、80℃～150℃の加熱後に動作駆動させることが望ましい。

【0044】なお、通電フォーミング工程、活性化処理した真空度より高い真空度とは、例えば約10^{-6}Torr以上の真空度であり、より好ましくは超高真空系であり、新たに炭素もしくは炭素化合物が導電薄膜上にほとんど堆積しない真空度である。こうすることによって、素子電流If、放出電流Ieを安定化させることが可能となる。

【0045】次に上述のような素子構成と製造方法によって作成された本発明に関わる電子放出素子の基本特性について図9および図10を用いて説明する。

【0046】図9は図6で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図9において、1は絶縁性基板、5および6は素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。また、91は素子に素子電圧Vfを印加するための電源、90は素子電極5・6間の電子放出部を含む薄膜4を流れる素子電流Ifを測定するための電流計、94は素子の電子放出部より放出される放出電流Ieを捕捉するためのアノード電極、93はアノード電極94に電圧を印加するための高圧電源、92は素子の電子放出部3より放出される放出電流Ieを測定するための電流計である。電子放出素子の上記素子電流Ifおよび放出電流Ieの測定にあたっては、素子電極5および6に電源91と電流計90とを接続し、その電子放出素子の上方に高圧電源93と電流計92とを接続したアノード電極94を配置している。また、本電子放出素子およびアノード電極94は真空装置内に配置され、その真空装置には排気ポンプおよび真空計等の真空装置に必要な機器が具備されており、所望の真空下にて本素子の測定評価を行えるようになっている。なお、アノード電極の電圧は1～10kV、アノード電極と電子放出素子との距離Hは3～8mmの範囲で測定した。

【００４７】図9に示した測定評価装置により測定された放出電流Ｉeおよび素子電流Ｉfと素子電圧Ｖfの関係の典型的な例を図１０に示す．なお、図１０は任意単位で示されており、放出電流Ｉeは素子電流Ｉfのおよそ１０００分の１程度である．図からも明らかなように、本電子放出素子は放出電流Ｉeに対して３つの特性を有する．

【００４８】第１に、本素子では、ある電圧（閾値電圧と呼ぶ．図１０中のＶth）以上の素子電圧を印加すると、急激に放出電流Ｉeが増加する．一方、閾値電圧より低い電圧では放出電流Ｉeはほとんど検出されない．すなわち、放出電流Ｉeに対する明確な閾値電圧Ｖthを持った非線形素子である．

【００４９】第２に、放出電流Ｉeが素子電圧Ｖfに依存するため、放出電流Ｉeは素子電圧Ｖfで制御できる．

【００５０】第３に、アノード電極９４に捕捉される電荷量は、素子電圧Ｖfを印加する時間により制御できる．

【００５１】以上のような特性を有するため、本発明に関わる電子放出素子は、他方面への応用が期待される．また、素子電流Ｉfは素子電圧Ｖfに対して単調に増加する（Ｍ１）特性の例を図１０に示したが、この他にも、素子電流Ｉfが素子電圧Ｖfに対して電圧制御型負性抵抗（ＶＣＮＲ）特性を示す場合もある．この場合も電子放出素子は上述した３つの特性を有する．なお、予め導電性微粒子を分散して構成した表面伝導型電子放出素子においては、前記本発明の基本的な素子構成の基本的な製造方法の一部を変更しても作製できる．

【００５２】次に、本発明の電子源および画像形成装置について述べる．

【００５３】画像形成装置に用いられる電子源基板は複数の表面伝導型電子放出素子を基板上に配列することにより形成される．表面伝導型電子放出素子の配列の方式には表面伝導型電子放出素子を並列に配置し、個々の素子の両端を配線で接続する梯子型配置や、表面伝導型電子放出素子の一対の素子電極にそれぞれＸ方向配線、Ｙ方向配線を接続した単純マトリクス配置（以下、マトリクス型配置電子源基板と呼ぶ）があげられるが、本発明はマトリクス型配置電子源基板に関するものである．

【００５４】図１に、本発明の方法で製造される電子源基板の代表的な素子構造を示す．図中、１は絶縁体からなる基板であり、５および６は電気的接続を得るための素子電極、４は電子放出部を含む薄膜である．それらを構成する材料については、前述の通りである．

【００５５】さらに、３６は素子電極５と接続する行方向配線であり、膜厚は数μm～数十μmの範囲である．５１は接続電極であり、素子電極６上に形成されている．５０は絶縁膜であり、接続電極５１に対応した位置に開口部が形成されている．３５は列方向配線であり、接続電極５１を介して素子電極６と接続している．なお、接続電極５１は、絶縁膜５０の形成前に形成する必要があり、そうすることによって、絶縁膜にダレが生じても接続電極があるために、開口部にダレが進入せず、接続不良を生じないようにすることができる．行方向配線３６、列方向配線３５、接続電極５１としては、厚膜印刷法により形成することが好ましいため、銀、金、銅、ニッケル等およびそれらの合金の導電性ペーストを用いることが好ましい．また、絶縁膜５０の材料としては一般的なガラスペーストを用いることができる．

【００５６】以上の構造を単位として、それが１個の表面伝導型電子放出素子となり、それが基板上に多数設けられて、本発明の電子源基板が構成される．

【００５７】図２に、本発明の電子源基板の製造方法の手順を示した．

【００５８】以下、図２に従って本発明の電子源基板製造方法を詳細に説明する．

【００５９】まず、良く洗浄された基板１に、金属材料からなる導電性薄膜を形成し、そのパターンをフォトリソグラフィーによって微細加工し、素子電極５・６からなる素子電極対を形成する（図２（ａ））．本電極は電子放出部薄膜と配線とのオーム接触を良好にするために設けられるものである．通常、電子放出部薄膜は、配線用の導体層と比べて著しく薄い膜であるために「ヌレ性」、「段差保持性」等の問題を回避するために設けているものである．従って、スパッタリング法等によって配線用の導体層を薄膜にて構成する場合は、素子電極の形成は必ずしも別個に行う必要はなく、配線導体と同時に形成することが可能である．

【００６０】電極の形成方法としては、真空蒸着法、スパッタリング法、プラズマＣＶＤ法等の真空系を用いる方法や、触媒に金属成分およびガラス成分を混合した厚膜ペーストを印刷、焼成することにより形成する厚膜印刷法がある．

【００６１】次に、導電性ペーストをスクリーン印刷法によって塗布し、直接、行方向配線３６および接続電極５１のパターンを形成し、焼成を行う．その際、行方向配線３６は素子電極５と接続するように形成する．また、接続電極５１は、素子電極６上に形成する（図２（ｂ））．配線は膜厚が大きい方が電気抵抗を低減できるため有利であることから、厚膜印刷法を用いて形成を行うのが好適である．

【００６２】次に、絶縁性ペーストを行方向配線３６に直交する方向に形成する（図２（ｃ））．その絶縁膜５０は、接続電極５１に対応した位置に開口部が設けられているため、栅型形状となっている．その開口部を通して素子電極６と接続電極５１、後述する列方向配線３５が接続される．その際、開口部にダレが生じても、接続電極５１が形成されているため、開口部が塞がることはない．このように、印刷、焼成してパターンを形成し、絶縁膜５０を得る．なお、絶縁膜５０の形成を多層にて

行う方が、絶縁性向上の点から好ましい。

【0063】さらに、前記絶縁膜50上に導電性ペーストを印刷、焼成することにより、列方向配線35を形成する（図2（d））。その際、列方向配線35に接続電極6が接続するように構成する。形成方法は、行方向配線35の場合と同様の方法が適用可能である。

【0064】次に微粒子電子放出材からなる薄膜を形成し、その後フォトリソグラフィー等によってパターニングを行うことで、電子放出部を含む薄膜4を形成する（図2（e））。

【0065】以上のような手順で、表面伝導型電子放出素子をマトリクス状に配置した電子源基板を作製することができる。

【0066】次に、以上のようにして作製される単純マトリクス配置の電子源基板を用いた画像形成装置について、図3および図4を用いて説明する。図3は画像形成装置の基本構成図であり、図4はその画像形成装置に用いられる蛍光膜のパターンである。

【0067】図3において31は上述のようにして電子放出素子を基板上に作成した電子源基板、34は電子放出素子に相当し、35および36は表面伝導型電子放出素子の一対の素子電極と接続された列方向配線および行方向配線である。32は電子源基板31を固定したリアプレート、40はガラス基板37の内面の蛍光膜38とメタルバック39等が形成されたフェースプレート、33は支持枠であり、リアプレート32、支持枠33およびフェースプレート40にフリットガラス等を塗布し、大気中あるいは窒素中で400～500℃で10分以上焼成することで封着して外囲器41を構成する。

【0068】外囲器41は、上述の如くフェースプレート40、支持枠33、リアプレート32で構成されるが、リアプレート32は主に電子源基板31の強度を補強する目的で設けられることから、電子源基板31自体で十分な強度を持つ場合は別体のリアプレート32は不要であり、電子源基板31に直接、支持枠33を封着し、フェースプレート40、支持枠33および電子源基板31で外囲器41を構成しても良い。さらには、フェースプレート40とリアプレート32の間にスペーサーと呼ばれる耐大気圧支持部材を設置することで大気圧に対して十分な強度を持つ外囲器41にすることもできる。

【0069】図3中、38は蛍光膜である。蛍光膜38はモノクロームの場合は蛍光体のみからなるが、カラーの蛍光膜38の場合は、図4に示されるように、蛍光体43の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色部材42と蛍光体43とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体43間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜38における外光反射によるコントラストの低下を抑制することである。ブラックストライプの材料としては通常、良く用いられている黒鉛を主成分とする材料だけでなく、光の透過および反射が少ない材料であればこれに限るものではない。

【0070】ガラス基板37に蛍光体43を塗布する方法は、モノクロームかカラーかによらず、沈殿法や印刷法が用いられる。

【0071】また、蛍光膜38の内面側には通常メタルバック39が設けられる。メタルバック39の目的は、蛍光体43に照射された電子が帯電するのを防止すること、蛍光体43の発光のうち内面側への光をフェースプレート40側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージからの蛍光体43の保護等である。メタルバック39は、蛍光膜38作製後に蛍光膜38の内面側表面の平滑化処理（通常、フィルミングと呼ばれる）を行い、その後、Alを真空蒸着等で堆積することで作製できる。フェースプレート40には、さらに蛍光膜38の導電性を高めるため、蛍光膜38の外面側に透明電極（不図示）を設けてもよい。

【0072】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行う必要がある。

【0073】外囲器41は不図示の排気管を通じ、10^{-7}Torr程度の真空度にされ、封止が行われる。また、外囲器41の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外囲器41の封止を行う直前、あるいは封止後に抵抗加熱、高周波加熱等の加熱法により、外囲器41内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常、Ba等が主成分であり、その蒸着膜の吸着作用により、例えば1×10^{-5}～1×10^{-7}Torrの真空度を維持するものである。なお、表面伝導型電子放出素子のフォーミング以降の工程は適宜設定される。

【0074】以上のようにして作製される本発明の画像形成装置において、各電子放出素子には、容器外端子Dx1～Dxm、Dy1～Dynを通じ、電圧を印加することにより電子放出させ、高圧端子Hvを通じ、メタルバック39あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜38に衝突させ、励起・発光させることで画像を表示することができる。

【0075】以上述べた構成は、画像表示等に用いられる好適な画像形成装置を作成する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像形成装置の用途に適するよう適宜選択する。

【0076】本発明によれば、テレビジョン放送の表示装置のみならずテレビ会議システム、コンピュータ等の表示装置に適した画像形成装置を提供することができる。さらには本発明の電子源を、感光性ドラム等で構成された光プリンタとしての画像形成装置として用いることもできる。

【0077】

【実施例】次に本発明の実施例を説明する。

【0078】（実施例1）図2に示した手順で、図1に示したような構成を有する電子源基板を作製した。まず、青板ガラスからなる基板1に、スパッタ蒸着法によって金属薄膜を形成した後、フォトリソエッチング法によって素子電極5および6を形成した。その材質は、厚さ50ÅのTiを下引きとした厚さ1000ÅのNi薄膜である。なお、素子電極間隔は2μm、素子電極5の長さは200μm、素子電極6は300μmに形成した（図2（a））。

【0079】次に、素子電極5と接続するように行方向配線36を形成した。また、素子電極6上に接続電極51も同時に形成した。行方向配線36はAgペーストインキを用い、スクリーン印刷法でパターン化し、続いて焼成（焼成温度は550℃、ピーク保持時間は約15分）された幅100μm、厚さ約10μmの印刷配線である。また、接続電極は、幅および長さとも100μmとした（図2（b））。

【0080】次に、絶縁膜50を、ガラスを主成分とするペーストを印刷後焼成することによって形成した（図2（c））。これは行方向配線36に対して直交する帯状の絶縁層であるが、部分的に切り欠きの開口部を有しており、その部分を前記で作製した接続電極51に位置合わせした。ペースト材料はPbOを主成分としてガラスバインダーを混合したペーストである。焼成温度は550℃、ピーク保持時間は15分であった。印刷・焼成後の膜厚は約30μmであった。また、通常、絶縁層は上下層間の絶縁性を確保するために、印刷と焼成を2回ずつ実施する。これは、厚膜ペーストにより形成される膜は通常ポーラスな膜であるからである。そのため、1回の印刷・焼成の後、再度印刷を行って、1回目の膜のポーラス状態を埋め込むようにして2回目の膜を印刷、焼成する。これにより、絶縁性が確実となる。本実施例でもその方法を行った。

【0081】次に、列方向配線35を絶縁膜50の上に形成した（図2（d））。列方向配線35は帯状のパターンであり、接続電極にかかるように形成されており、接続電極51ひいては素子電極6と電気的に接続している。行方向配線と同様にAgペーストを所定のパターンに印刷した後、焼成によって形成した。幅300μm、厚さ20μmであった。

【0082】続いて、電子放出部を含む薄膜4は、有機金属溶液の塗布焼成で得られた厚さ約200ÅのPd微粒子からなる薄膜であり、全面に塗布成膜した後、フォトリソグラフィーによってパターニングして形成した（図2（e））。その際、行方向配線36、列方向配線35を各100本とし、10000素子からなるマトリクス状の表面伝導型電子放出素子からなる電子源基板を得た。

【0083】以上のようにして電子源基板を作製したところ、接続電極を介して素子電極と列方向配線との接続が確実にできていることが明らかとなった。

【0084】（実施例2）本実施例では、実施例1で作製した電子源基板を使用して画像形成装置を得た。これについて図3、図4および図8を用いて説明する。

【0085】図3に示したように、多数の表面伝導型電子放出素子を形成した電子源基板31をリアプレート32上に固定した後、基板31の5mm上方に、フェースプレート40（ガラス基板37の内面に蛍光膜38とメタルバック39が形成されて構成される）を支持枠33を介し配置し、フェースプレート40、支持枠33、リアプレート32の接合部にフリットガラスを塗布し、450℃で10分間焼成することで封着した（図3参照）。また、リアプレート32への基板31の固定もフリットガラスで行った。

【0086】図3において、34は電子放出素子、35および36はそれぞれ列方向および行方向の配線である。

【0087】蛍光膜38は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状（図4参照）を採用し、先にブラックストライプを形成し、その間隙部に各蛍光体を塗布し、蛍光膜38を作製した。ブラックストライプの材料は、通常良く用いられている黒鉛を主成分とする材料を用いた。

【0088】ガラス基板37に蛍光体を塗布する方法はスラリー法を用いた。

【0089】また、蛍光膜38の内面側には通常、メタルバック39が設けられる。本例では、メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、フィルミングと呼ばれる）を行ない、その後、Alを真空蒸着することで作製した。

【0090】フェースプレート40には、更に蛍光膜38の導電性を高めるため、蛍光膜38の外面側に透明電極（不図示）が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0091】前述の封着を行なう際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはいけないため、十分な位置合わせを行なった。

【0092】以上のようにして完成したガラス容器内の雰囲気を排気管（図示せず）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx1～DxmとDy1～Dynを通じ、電子放出素子34の素子電極間

に電圧を印加し、電子放出部形成用薄膜２を通電処理（フォーミング処理）することにより、電子放出部３を作製した。フォーミング処理の電圧波形を図８に示す。

【００９３】図８中、T1およびT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を１ミリ秒、T2を１０ミリ秒とし、三角波の波高値（フォーミング時のピーク電圧）は１４Ｖとし、フォーミング処理は約１×１０$^{-6}$Ｔｏｒｒの真空雰囲気下で６０秒間行なった。

【００９４】このように作製された電子放出部３はパラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は３０Åであった。

【００９５】次に、１×１０$^{-6}$Ｔｏｒｒ程度の真空度で不図示の排気管をガスバーナーで熱することで溶着し、外囲器の封止を行なった。

【００９６】最後に封止後の真空度を維持するために、ゲッター処理を行なった。ゲッター処理とは、封止を行なう直前、あるいは封止後に抵抗加熱、あるいは高周波加熱等の加熱法により、画像形成装置内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ｂａ等が主成分であり、その蒸着膜の吸着作用により、例えば１×１０$^{-5}$～１×１０$^{-7}$Ｔｏｒｒの真空度を維持するものである。

【００９７】以上のようにして作製した本発明の画像形成装置において、各表面伝導型電子放出素子には、容器外端子Dx1～Dxm、Dy1～Dynを通じ、走査信号および変調信号を不図示の信号発生手段によりそれぞれ印加することにより、電子放出させ、高圧端子Ｈｖを通じて、メタルバック３９に５ｋＶの高圧を印加し、電子ビームを加速して、蛍光膜３８に衝突させ、励起・発光させることで画像を表示した。その結果、欠陥のない良好な画質の画像が得られた。

【００９８】

【発明の効果】以上の説明から明らかなように、本発明によれば、電子源基板の配線形成時に素子電極と列方向配線の間に接続電極を設けることにより、絶縁膜形成時のダレによる素子電極と列方向配線の接続不良を防止できるため、電極と配線の接続部分の信頼性が向上し、歩留りが向上する。さらに、その電子源基板を画像形成装置に用いた場合に、接続抵抗による電圧降下が原因で生じる輝度のばらつきが低減できることから、輝度ばらつきの少ない良好な画像形成装置を得ることができる。

【図面の簡単な説明】

【図１】本発明の電子源基板の代表的な素子構成を示す模式的平面図である。

【図２】本発明の電子源基板の製造手順の１例を示す工程図である。

【図３】本発明の画像形成装置の１例の構成を示す部分切り欠き斜視図である。

【図４】蛍光膜の構成を示す模式的部分図であり、（ａ）はブラックストライプの設けられたもの、（ｂ）はブラックマトリクスの設けられたものの図である。

【図５】表面伝導型電子放出素子の１例の構成を示す模式的平面図である。

【図６】本発明の電子源に設けられる表面伝導型電子放出素子の１例の構成を示す示す模式図であり、（ａ）は平面図、（ｂ）は断面図である。

【図７】図６の素子の形成手順を示す工程図である。

【図８】本発明の電子源における表面伝導型電子放出素子製造時の通電フォーミングにおける電圧波形を示すグラフであり、（ａ）はパルス波高値が一定の場合、（ｂ）はパルス波高値が増加する場合である。

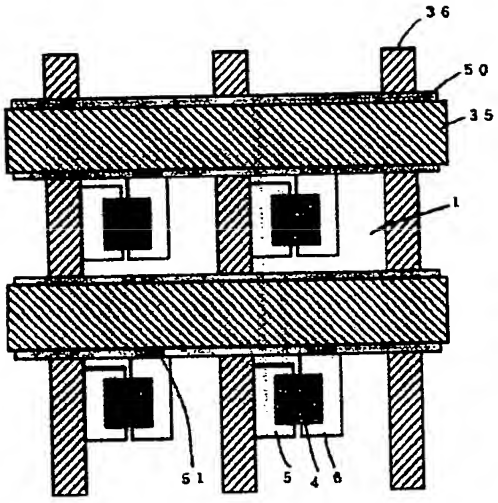
【図９】表面伝導型電子放出素子の電子放出特性の測定評価装置の概略構成図である。

【図１０】表面伝導型電子放出素子の電流一電圧特性を示す図である。

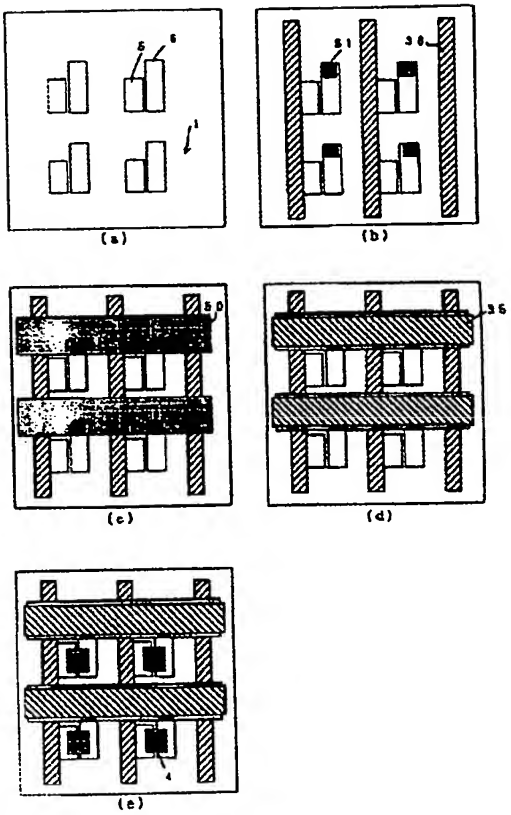
【符号の説明】

１	絶縁性基板
２	電子放出部形成用薄膜
３	電子放出部
４	電子放出部を含む薄膜
５	素子電極
６	素子電極
３１	電子源基板
３２	リアプレート
３３	支持枠
３４	電子放出素子
３５	列方向配線
３６	行方向配線
３７	ガラス基板
３８	蛍光膜
３９	メタルバック
４０	フェースプレート
４１	外囲器
４２	黒色部材
４３	蛍光体
５０	絶縁膜
５１	接続電極
９０	電流計
９１	電源
９２	電流計
９３	高圧電源
９４	アノード電極

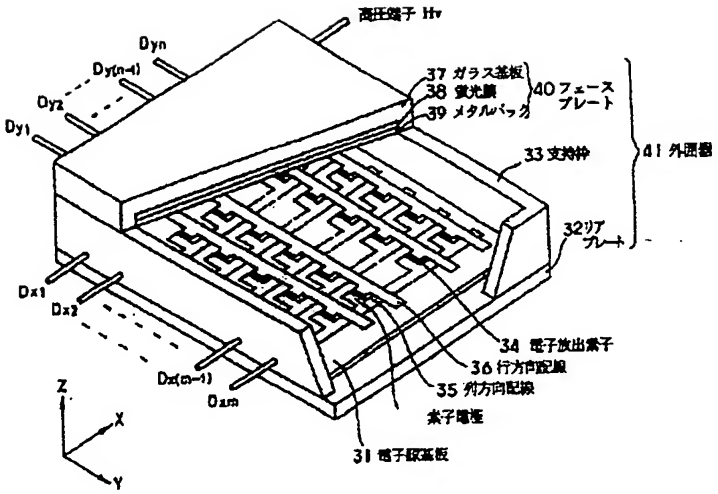
【図1】


36
50
35
1
51
5
4
6

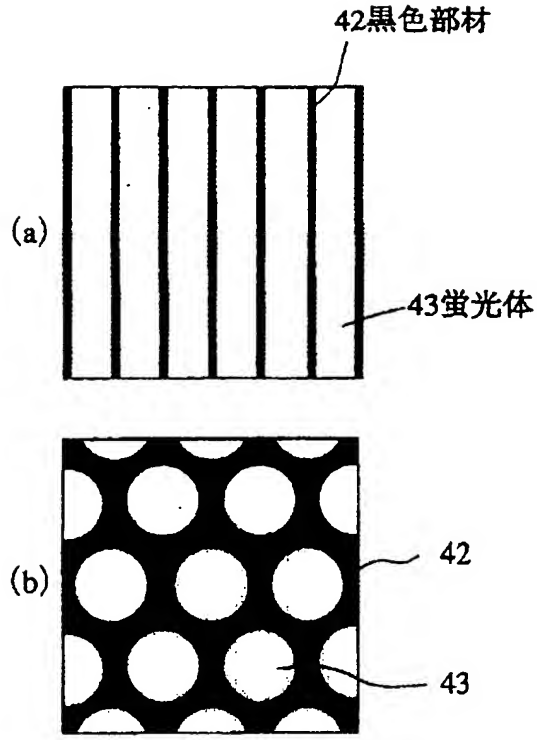
【図2】


5
6
1
(a)
51
36
(b)
50
(c)
36
(d)
4
(e)

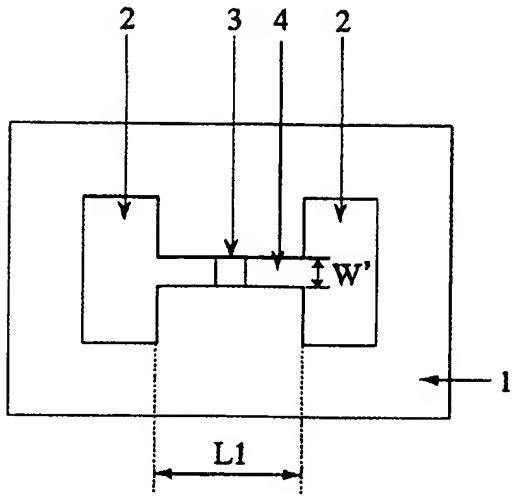
【図3】


高圧端子 Hv
Dyn
Dy(n-1)
Dy2
Dy1
37 ガラス基板
38 蛍光膜
39 メタルバック
40 フェースプレート
33 支持枠
41 外囲器
32 リアプレート
Dx1
Dx2
Dx(m-1)
Dxm
34 電子放出素子
36 行方向配線
35 列方向配線
素子電極
31 電子源基板
Z
X
Y

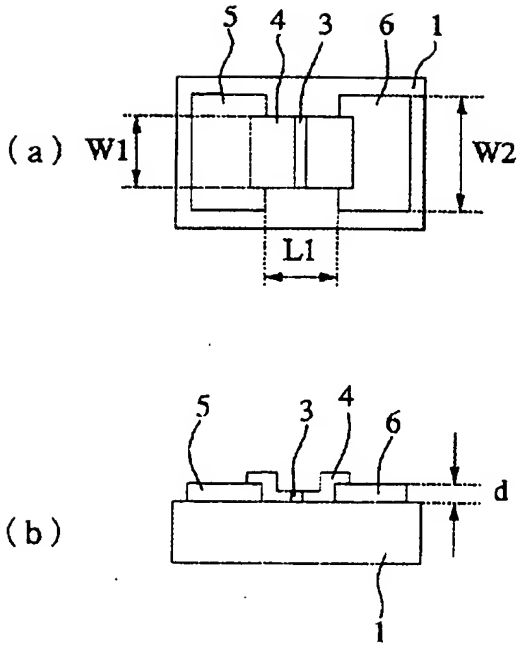
【図4】


42黒色部材
(a)
43蛍光体
(b)
42
43

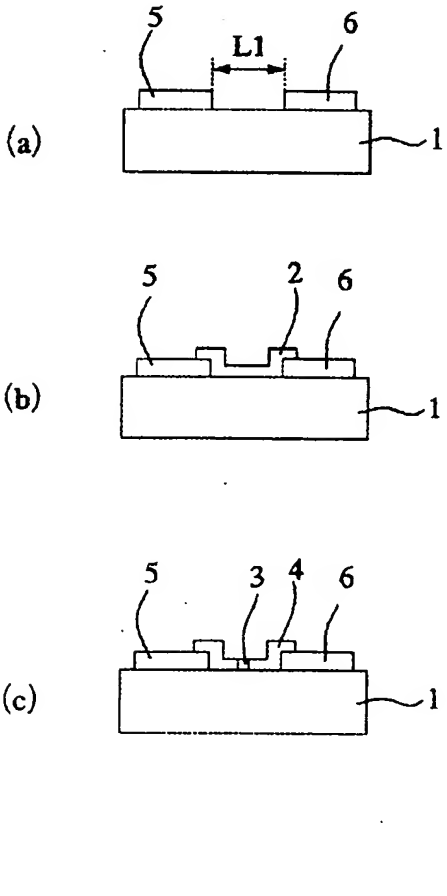
【図5】


2
3
4
2
W'
1
L1

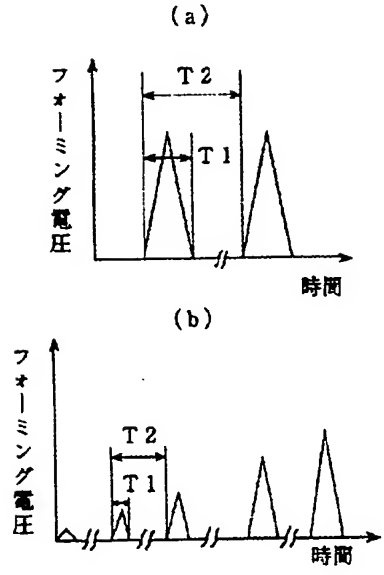
【図6】


5
4
3
6
1
(a)
W1
W2
L1
5
3
4
6
d
(b)
1

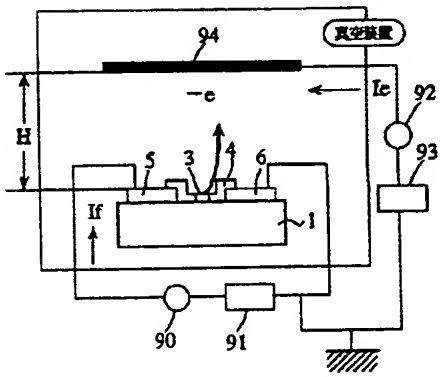
【図7】


5
L1
6
(a)
1
5
2
6
(b)
1
5
3
4
6
(c)
1

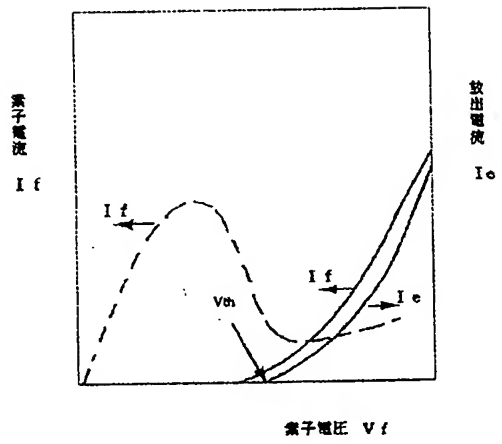
【図8】


(a)
フォーミング電圧
T2
T1
時間
(b)
フォーミング電圧
T2
T1
時間

【図9】


94
真空装置
−e
Ie
92
93
H
5
3
4
6
If
1
90
91

【図10】


素子電流 If
放出電流 Ie
If
Vth
If
Ie
素子電圧 Vf